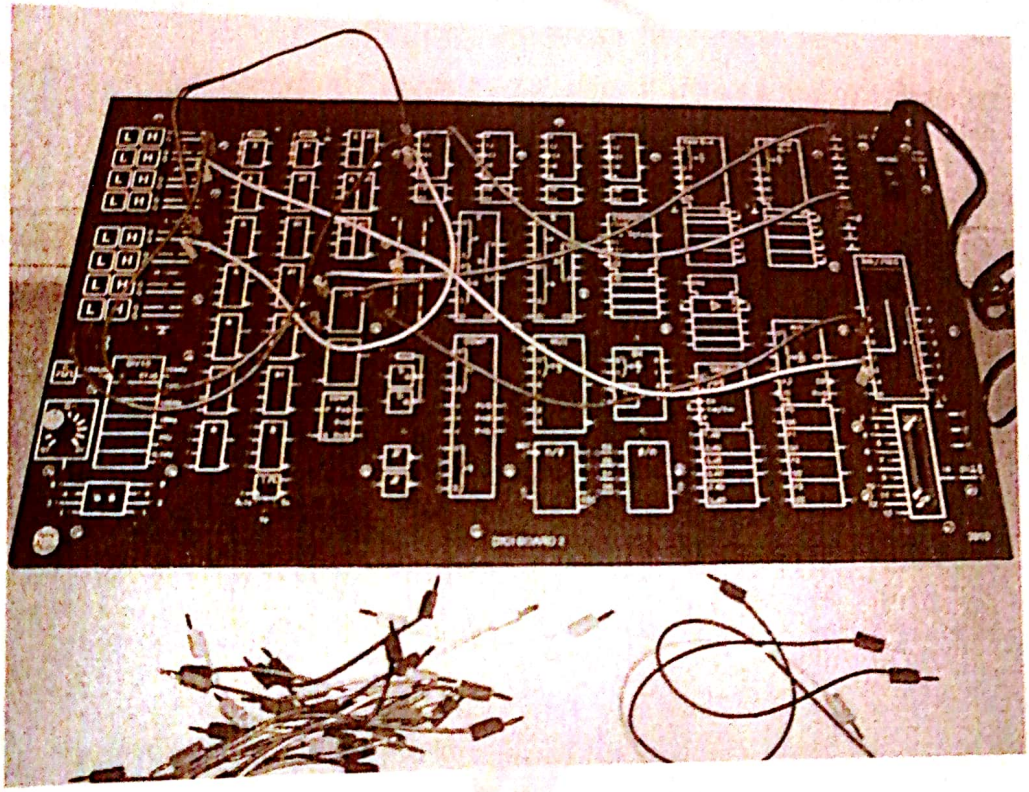
Maroc
Université Sidi Mohammed Ben Abdellah
École Nationale des Sciences Appliquées de Fès

ENSA Fès

المملكة المغربية
جامعة سيدي محمد بن عبد الله
المدرسة الوطنية للعلوم التطبيقية بفاس

TP d'électronique Numérique



Quartier Industriel Ain Chkef Route Ben Souda - Fès BP 72 Fès Principale www.ensaf.ac.ma
Tél: 0535600403 - 0661453026 : الهاتف / Fax: 0535600386 : الفاكس
المصانع عن الكشف طريق ابن سودة - فاس ص ب 72 فاس الرئيسية

Scanné avec CamScanner

I - INTRODUCTION.

Les circuits logiques sont à la base de l'électronique moderne et ont préparé la voie à l'informatique, par l'élaboration du microprocesseur, qui est le cœur de l'ordinateur.

La logique est basée sur l'algèbre de Boole (a. binaire), dans cette algèbre une variable ne peut prendre que deux états : 0 ou 1.

La variable peut donc être représentée par un signal électrique, optique, etc qui existe ou n'existe pas, contrairement à l'électronique dite analogique, qui travaille sur l'intensité du signal.

Il existe deux types de circuits logiques : les circuits combinatoires et les circuits séquentiels.

La logique combinatoire utilise des combinaisons de circuits élémentaires sans mémoire pour réaliser des fonctions instantanées. La sortie ne dépend que des entrées au moment de la mesure.

La logique séquentielle réalise une fonction qui se déroule dans le temps synchronisée par une horloge. La sortie est une fonction non seulement des entrées mais, en plus des anciens états des circuits, soit de l'histoire passée des variables.

II - BUT.

La série de manipulations suivantes à pour but l'étude des circuits logiques de base et la vérification expérimentale des résultats de l'algèbre de Boole ainsi que la réalisation de systèmes logiques combinatoires simples.

Après l'étude des circuits élémentaires, nous allons examiner des combinaisons plus complexes utilisant un nombre important de portes logiques (réalisation d'un circuit capable de faire l'addition de deux bits en tenant compte de la retenue, et de deux circuits d'aiguillage).

III - GENERALITES ET DEFINITIONS.

1) Généralités.

Les éléments de base (portes logiques) de **la maquette de circuits logiques de base M10** utilisée sont des circuits intégrés TTL (Transistor, Transistor, Logic).

Les niveaux logiques sont :

0 : absence de tension (niveau bas ou état faux)

1 : présence de tension positive + 5V (niveau haut ou état vrais).

Lorsqu'une porte logique a sa sortie au niveau logique 1, son voyant est allumé.

2) Fonctions logiques élémentaires.

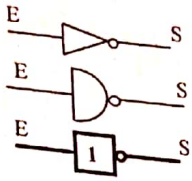
Trois fonctions élémentaires suffisent pour définir l'algèbre de Boole : la fonction Complément ou **NON**, la fonction **ET** ou produit logique et la fonction **OU** ou addition logique.

Ces fonctions sont données ci-dessous sous forme de tableau appelé table de vérité de la fonction.

Scanné avec CamScanner

a) Fonction NON (Complément).

C'est une fonction d'une variable notée par ¯ (barre). La sortie est le contraire de l'entrée, $S = \bar{E}$. Trois types de représentations sont généralement utilisées.



$S = \bar{E}$

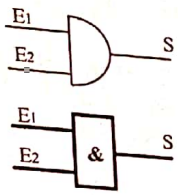
Table de vérité

E	S
0	1
1	0

b) Fonction ET (AND) ou produit logique.

Cette fonction est équivalente à l'intersection en théorie des ensembles. Elle met en évidence la notion de simultanéité de deux ou plusieurs évènements (variables).

En langage logique, la fonction **ET** de deux ou plusieurs variables prend la valeur 1 si toutes les variables sont simultanément égales à 1.



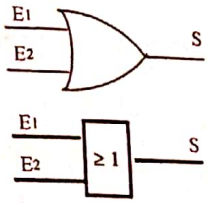
$S = E_1 . E_2$

Table de vérité

E1	E2	S
0	0	0
0	1	0
1	0	0
1	1	1

c) Fonction OU (OR) ou addition logique.

En théorie des ensembles, cette fonction est équivalente à la réunion. En langage logique, la fonction OU de deux ou plusieurs variables prend la valeur 1 si au moins une des variables est égale à 1.



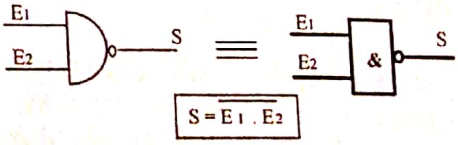
$S = E_1 + E_2$

Table de vérité

E1	E2	S
0	0	0
0	1	1
1	0	1
1	1	1

d) Fonction NAND (NON ET : $\overline{ET}$).

Cette fonction réalise la fonction complémentaire de la fonction ET. La sortie est à 1 si l'une (ou plusieurs) des entrées est à 0.

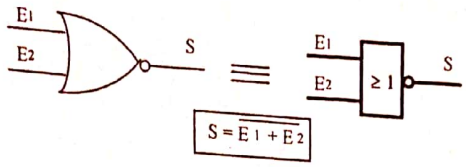


$S = \overline{E_1 . E_2}$

Scanné avec CamScanner

e) Fonction NOR (NON OU : $\overline{OU}$).

Cette fonction réalise la fonction complémentaire de la fonction OU. La sortie est à 1 si toutes les entrées sont à 0.

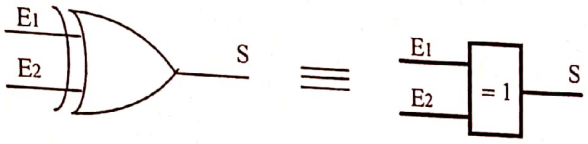


$S = \overline{E_1 + E_2}$

f) Fonction OU exclusif.

C'est une fonction de deux variables uniquement qui représente l'addition arithmétique et qui prend la valeur 1 si une et une seule variable est égale à 1.

On symbolise la fonction OU exclusif par le symbole : $\oplus$.



$$S = E_1 \oplus E_2 = (\overline{E_1} + \overline{E_2}) . (E_1 + E_2) = (E_1 . \overline{E_2}) + (\overline{E_1} . E_2)$$

3) <u>Théorème de De Morgan</u>.

a) Complément d'une somme.

Le complément d'une somme est égal au produit des compléments de chaque terme de la somme.

$$\overline{A + B + C} = \overline{A} . \overline{B} . \overline{C}$$

b) Complément d'un produit.

Le complément d'un produit est égal à la somme booléenne des compléments de chaque facteur.

$$\overline{A . B . C} = \overline{A} + \overline{B} + \overline{C}$$

IV - MANIPULATION

On dispose d'une maquette **DIGI BOARD2 (V3910)** qui contient plusieurs circuits logiques différents ; ces circuits sont alimentés par une tension de 5Và travers 8 entrées à deux états haut H et bas L. La détection des niveaux logiques se fait à travers 12 sorties à indicateurs lumineux (LED) de différentes couleurs (allumé : 1 ; éteint : 0).

Scanné avec CamScanner

1) Fonctions de base

a) Porte logique NON

La maquette **DIGI BOARD2** contient un circuit logique qui possède quatre inverseurs une fois l'entrée EN2 et mise au niveau haut (figure 1).
Dresser la table de vérité de la fonction NON et vérifier son fonctionnement.

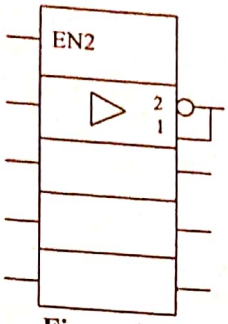


Figure 1

b) Porte logique AND

La maquette **DIGI BOARD2 (V3910)** qui contient quatre circuits logiques fonctionnant en AND et en NAND à la fois à quatre entrées et deux sorties (figure 2).
Dresser 14 table de vérité d'une porte AND à 2, 3 et 4 entrées et vérifier son fonctionnement.

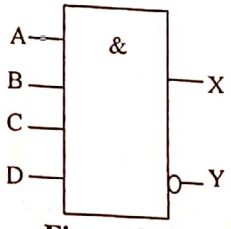


Figure 2

c) Porte logique NAND

En utilisant le même circuit que b) et en utilisant la sortie vraie au niveau bas, dresser la table de vérité d'une porte NAND à 2, 3 et 4 entrées et vérifier son fonctionnement.

d) Porte logique OR

La maquette **DIGI BOARD2 (V3910)** qui contient quatre circuits logiques OR et NOR à la fois à quatre entrées et deux sorties (figure 3).
Dresser la table de vérité d'une porte OR à 2 entrées et vérifier son fonctionnement.

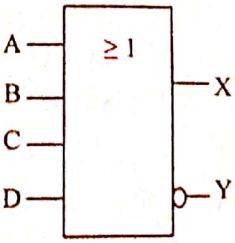


Figure 3

Scanné avec CamScanner

e) Porte logique NOR

En utilisant le même circuit que d) et en utilisant la sortie vraie au niveau bas, dresser la table de vérité d'une porte NOR à 4 entrée et vérifier son fonctionnement.

f) Porte logique OU exclusif XOR

La maquette **DIGI BOARD2 (V3910)** contient un circuit logique XOR à deux entrées et une sortie (figure 4).

Dresser sa table de vérité et vérifier son fonctionnement.

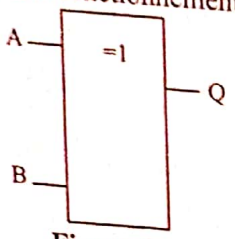


Figure 4

g) Porte logique XNOR

La maquette **DIGI BOARD2 (V3910)** contient un circuit logique XNOR (figure suivante) à deux entrées et une sortie (figure 5).

Dresser sa table de vérité et vérifier son fonctionnement.

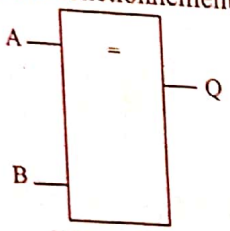


Figure 5

h) Vérifierez qu'en logique T.T.L une entrée non connectée de n'importe quel circuit correspond à un niveau 1.

2) <u>Niveaux logiques</u>

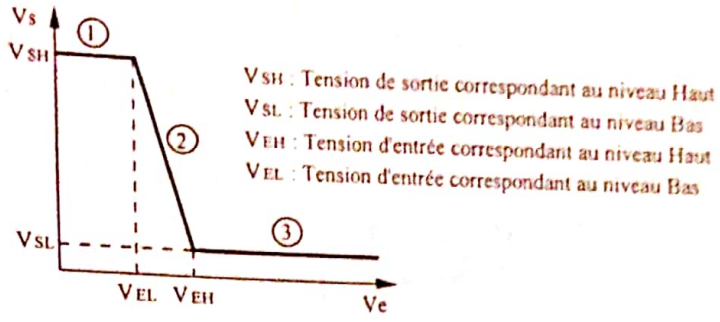
Un circuit logique délivre en général une tension. Il faut donc faire une correspondance entre les deux niveaux, appelés niveaux hauts (H) et bas (L), et les variables 0 et 1.

En logique positive, le niveau logique 1 correspond au potentiel le plus élevé (H).

Une caractéristique importante des circuits logiques est la caractéristique de transfert Vs=f(Ve).

Par exemple, pour un inverseur (porte logique NON), la caractéristique de transfert comporte trois parties idéalisées par trois segments.

Scanné avec CamScanner



Zone 1 : la tension d'entrée est inférieure à V_{EL} (niveau logique 0) ; la tension de sortie est V_{SH} (niveau logique 1).

Zone 3 : la tension d'entrée est supérieure à V_{EH} (niveau logique 1) ; la tension de sortie est V_{SL} (niveau logique 0). Ces deux zones correspondent au fonctionnement normal d'un inverseur.

Zone 2 : l'inverseur fonctionne en amplificateur (régime linéaire).

A l'aide du potentiomètre de la maquette M10, appliquer une tension variable V_E à l'entrée d'un NON, non chargé de cette maquette. Mesurer V_E et V_S et tracer la courbe $V_S=f(V_E)$; on constatera que les niveaux logiques peuvent être pris comme suit :

0 : tension comprise entre 0 et 0,5V.

1 : tension comprise entre 2,5 et 5V.

3) Combinaison de circuits et vérification du théorème de De Morgan.

$\overline{A + B} = \overline{A} \cdot \overline{B}$ et $\overline{A \cdot B} = \overline{A} + \overline{B}$

Pour cela, on utilise les deux montages suivants :

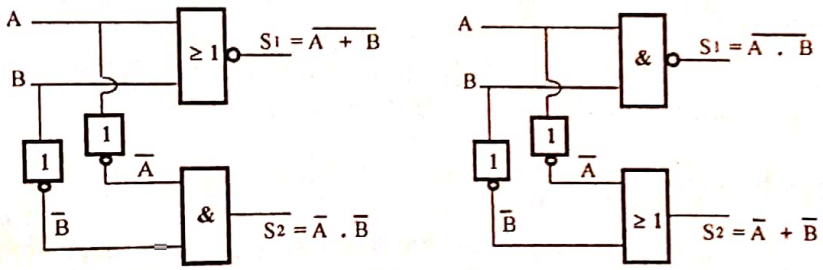


Figure 6

Réaliser les deux montages de la figure 6 et contrôler la concordance des sorties S_1 et S_2.

4) Etude d'un additionneur de deux bits.

a) Demi-additionneur

Le demi-additionneur est le plus simple des additionneurs. Son utilisation est limitée, car il ne peut additionner que deux bits ou entrées sans tenir compte de la retenue. On le note (DA).

La figure suivante montre la représentation logique d'un demi-additionneur avec sa table de vérité et sa représentation simplifiée.

Scanné avec CamScanner

Entrées		Sorties	
A	B	S	R
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

S : somme (Σ)
R : retenue (R)

$S = \overline{A}B + A\overline{B} = A \oplus B$
$R = A \cdot B$

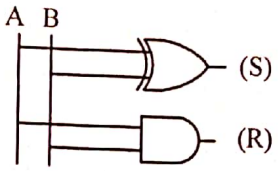


Figure 7

Remarque : Le montage possède deux sorties, la première donne la somme (S), l'autre donne la retenue (R).
Comme l'industrie demande des additions beaucoup plus complexes, il faut combiner plusieurs demi-additionneurs pour permettre l'addition de plus grands nombres binaires.

Réaliser le montage d'un demi additionneur (figure 7). Câbler ce dernier et vérifier le fonctionnement de sa table de vérité.

b) Additionneur complet

Pour additionner deux nombres binaires, il faut tenir compte de la retenue du rang précédent. Ainsi, la somme de deux bits de rang k, A_k et B_k est P_k tel que :

$$S_k = A_k + B_k + R_{k-1}$$

Pour réaliser un additionneur complet noté (AC), il convient de tenir compte de :

- Pour l'addition complète de rang k, ajouter à l'addition partielle des deux bits A_k et B_k la retenue R_{k-1} résultant de l'addition complète de rang k-1.
- Mettre la retenue résultant de cette addition complète dans R_k, pour servir la prochaine addition de rang k+1.

La table de vérité d'un tel circuit est la suivante :

Entrées			Sorties	
R_{k-1}	A_k	B_k	S_k	R_k
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Scanné avec CamScanner

Expressions de S_k :

$S_k = \overline{R}_{k-1}\,\overline{A}_k\,B_k + \overline{R}_{k-1}A_k\overline{B}_k + R_{k-1}\,\overline{A}_k\,\overline{B}_k + R_{k-1}A_kB_k$

$S_k = \overline{R}_{k-1}(A_k \oplus B_k) + R_{k-1}\,\overline{A_k \oplus B_k}$

$$\boxed{S_k = R_{k-1} \oplus (A_k \oplus B_k)}$$

Expressions de R_k :

$R_k = A_kB_k + R_{k-1}B_k\,\overline{A}_k + R_{k-1}A_k\,\overline{B}_k$

$$\boxed{R_k = A_kB_k + R_{k-1}(A_k \oplus B_k)}$$

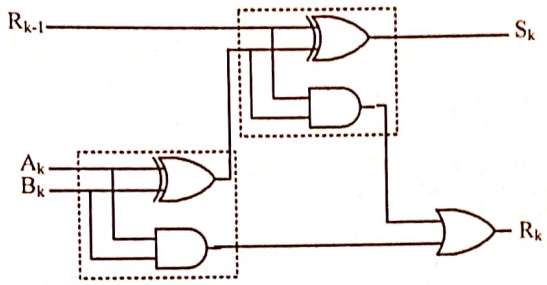


Figure 8

L'additionneur complet est une évolution du demi additionneur, il possède 3 entrées. C'est cette entrée supplémentaire qui rend son utilisation plus polyvalente. En effet dans une addition binaire, la retenue d'une colonne est reporté sur la colonne suivante, et elle fait partie de l'addition de cette nouvelle colonne et ainsi de suite.

Réaliser le montage d'un additionneur complet (figure 8), formé par le minimum de portes logiques (2 OU exclusifs, 2 AND et 1 OR). Câbler ce dernier et vérifier le fonctionnement de sa table de vérité. (Le deuxième XOR peut être réaliser à l'aide de la porte XNOR et d'un inverseur).

5) Multiplexeurs et démultiplexeurs.

Ce sont des circuits de sélections qui occupent une place très importante dans l'architecture des systèmes logiques. De ce fait ils figurent en grand nombre dans les catalogues des constructeurs. Pour notre part nous allons étudier leur principe en réalisant les circuits type les plus simples à l'aide des portes logiques élémentaires.

a) Multiplexeurs

Un multiplexeur souvent nommé opérateur de sélection est un circuit logique de sélection, possédant n entrées de données, une seule sortie et une autre série d'entrées dite d' "adresse" permet de choisir parmi les n entrées de "donnée" celle qui se trouvera transmise en sortie.

Le schéma le plus simple d'un démultiplexeur est celui du système à deux entrées "donnée" A et B, et une entrée "adresse" E (figure 9).

Scanné avec CamScanner

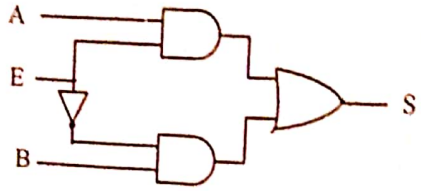


Figure 9

- Donner l'expression de S, et expliquer le fonctionnement de chaque montage.
- Réaliser ce circuit et vérifier que si l'adresse E vaut 1, c'est A qui se trouve en sortie et inversement.
- On donne le circuit ci-dessous, déterminer sa nature. Expliquer son fonctionnement et le vérifier expérimentalement.

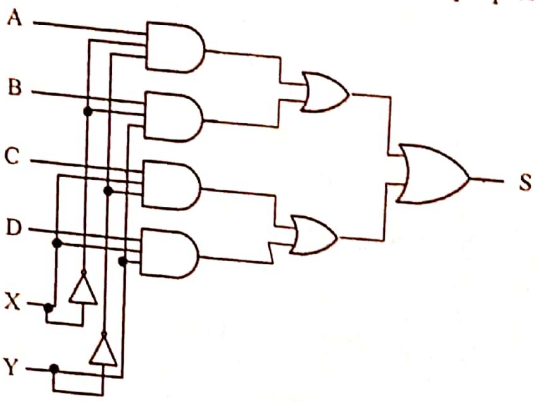


Figure 10

b) Demultiplexeur

C'est en quelque sorte le circuit inverse du précédent. Il possède une entrée de donnée, plusieurs sorties et une série d'entrées auxiliaires d'adressage qui permet d'aiguiller la donnée vers l'une des sorties.

- Réaliser et vérifier le fonctionnement du démultiplexeur schématisé ci-après.

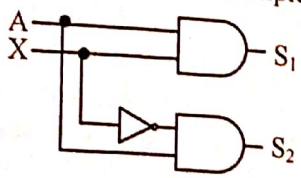


Figure 10

- Compte tenu des connaissances acquises et sachant qu'on dispose de 4 circuits ET à triple entrée, établir le schéma d'un démultiplexeur 1 entrée vers 4 sorties. Réaliser le schéma et vérifier expérimentalement son fonctionnement.

Scanné avec CamScanner

CIRCUITS LOGIQUES COMBINATOIRES ET APPLICATIONS

Les étudiants sont responsables de la maquette Digitale utilisée.

Ne mettez sous tension la maquette qu'une fois le circuit est bien câblé et vérifié par l'enseignant.

Une maquette **DIGI BOARD2 (V3910)**

Scanné avec CamScanner

I - INTRODUCTION.

Il existe deux types de circuits logiques : les circuits combinatoires et les circuits séquentiels.

La logique combinatoire utilise des combinaisons de circuits élémentaires sans mémoire pour réaliser des fonctions instantanées. La sortie ne dépend que des entrées au moment de la mesure.

II - BUT.

La série de manipulations suivantes à pour but l'étude des circuits intégrés logiques combinatoires tels que : l'afficheur 7 segments, l'additionneur et le soustracteur avec affichage, les circuits d'aiguillage et leur utilisation pour générer des fonctions logiques.

III – Utilisation et application des circuits logiques combinatoires.

1) Etude et application de l'afficheur 7 segments.

Parmi les domaines considérables d'utilisation des circuits numériques, on trouve toujours la présence d'un afficheur pour convertir des données binaires en une forme qui se présente sous forme d'affichage numérique. Dans de nombreux afficheurs numériques, les dix chiffres 0 à 9 et parfois les caractères hexadécimaux A, b, C, d, E et F sont configurés au moyen de sept segments. Chacun est constitué d'un matériau qui émet de la lumière quand il est traversé par un courant. Les matériaux les plus utilisés sont les diodes électroluminescentes (DEL) et les filaments incandescents (figure 1).

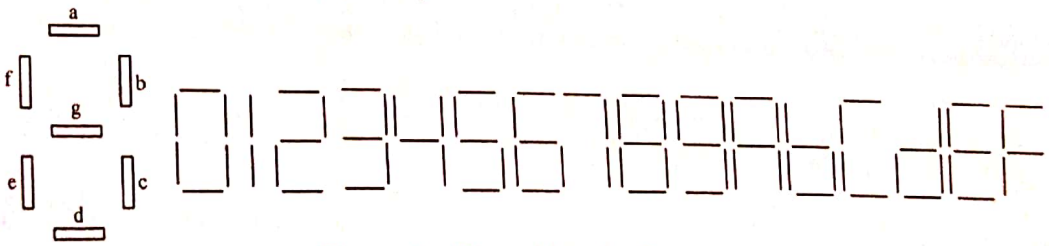


Figure 1 : Disposition des 7 segments.

Exemple : Pour afficher le chiffre 4, il faut que les segments b, c, f et g soient allumés et que les segments a, d et e soient éteints.

La figure 3 montre l'affichage des 16 bits du système hexadécimal.

Aussi cet afficheur peut être piloté par un décodeur DCB-7 segments (TTL, 7446 ou 7447), qui possède 4 entrées et 7 sorties reliées aux 7 segments de l'afficheur.

Si on applique aux l'entrées DCBA de ce décodeur la combinaison (0110) qui correspondant au chiffre 6. Les sorties a, f, g, c, d, et e, seront activées. Un courant passe à travers les segments DEL (a, f, g, c, d, et e) et affiche le nombre 6.

La maquette **DIGI BOARD2 (V3910)** contient un circuit à deux afficheurs sept segments (figure 2), chaque afficheur est commandé par une entrée à quatre bits 8, 4, 2, 1.

Les sept segments de l'afficheur droit peuvent être commandés séparément une fois

Scanné avec CamScanner

l'entrée X est mise au niveau bas.

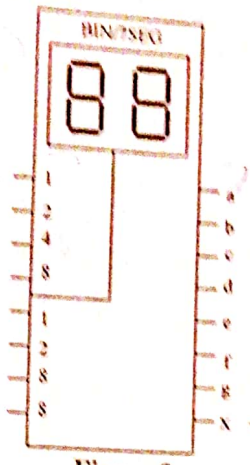


Figure 2

a) Vérification du fonctionnement des 7 segments.

- Remplir le tableau suivant à fin de visualiser les seize bits hexadécimaux

	Les sept segments de l'afficheur droit							Sortie
X	a	b	c	d	e	f	g	Bit(Hexa)
								0
								1
								2
								3
								4
								5
								6
								7
								8
								9
								A
								b
								C
								d
								E
								F

- En utilisant le circuit de la figure 2 et en connectant la sortie X au niveau bas, vérifier expérimentalement chaque ligne du tableau.

b) Utilisation des deux afficheurs pour écrire un nombre compris entre 0 et 99

- Remplir le tableau suivant à fin de visualiser les différents nombres donnés sur la colonne gauche.
- Brancher les deux entrées à quatre bits 8, 4, 2, 1, des deux afficheurs, et visualiser ces différents nombres décimaux.

Scanné avec CamScanner

Entrées de l'afficheur gauche				Entrées de l'afficheur droit				Nombre Décimal
4	3	2	1	4	3	2	1	
								00
								07
								12
								26
								33
								46
								59
								63
								68
0	1	1	1	0	0	0	0	70
								76
								85
								91
								99

2) <u>Réalisation d'un additionneur de deux nombres de 4 bits chacun avec affichage.</u>

Ils existent des additionneurs sous la forme de circuits intégrés pour éviter qu'on ait à manipuler une quantité énorme de portes logiques. La figure 3 suivante montre la brochure du circuit intégré d'un additionneur de 2 nombre de 4 bits chacun avec une retenue initiale généralement nulle et une retenue finale généralement égale à 1.
Le schéma utilisé pour un additionneur parallèle de 4 bits est le suivant :

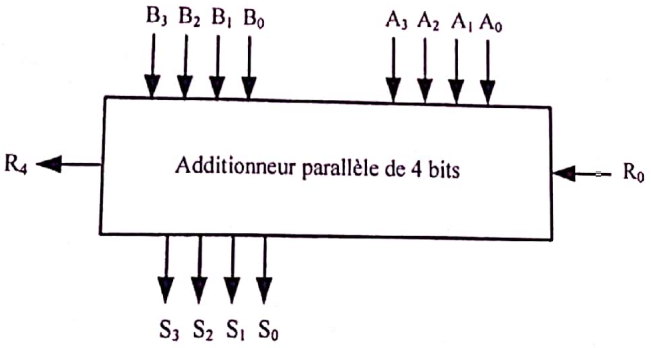


Figure 3

La maquette **DIGI BOARD2 (V3910)** contient deux circuits additionneurs de 2 nombres de 4 bits chacun (figure 4), possédant 2 entrées de quatre bits P et Q, une sortie S (somme de P et Q), une retenues initial CI et une retenue finale CO.

Scanné avec CamScanner

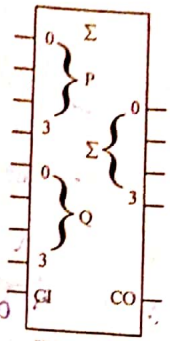


Figure 4

Le tableau suivant contient deux nombres de quatre bits N_1 et N_2 en binaire et leur somme S de quatre bits également en binaire mais affichée en Hexadécimal.

a) Brancher les deux entrées P et Q aux entrées principales de la maquette et les quatre sorties à quatre LED de la maquette et en même temps aux entrées de l'afficheur droit.

b) Appliquer les différentes combinaisons du tableau suivant et vérifier son fonctionnent.

Nombre N_1 en binaire					Nombre N_2 en binaire					Somme en binaire				
3	2	1	0	N_1	3	2	1	0	N_2	3	2	1	0	S
				0					6					6
				3					5					8
				7					2					9
				8					7					F
				9					4					d
				12					2					E
				11					4					F
				10					3					d
				5					10					F
				8					5					d
				16					5					5
				13					12					9
				15					11					A
				10					16					A
				15					15					E
				16					16					0

3) <u>Réalisation d'une soustraction à l'aide du circuit additionneur par la méthode du complément à 2.</u>

Il n'existe pas de circuit intégré pour la soustraction. Il est cependant possible d'utiliser un artifice mathématique pour transformer la soustraction en addition et ainsi utiliser des additionneurs logiques pour réaliser la soustraction.

➢ On utilise la technique mathématique dite « soustraction à retenue circulaire et à complément à 1 ». La façon de procéder est la suivante :

On inverse le valeur logique (complément de chaque entrée du diminuteur.

Exemple 0011 est transformé en 1100.

Scanné avec CamScanner

➢ On prendra la sortie de la retenue finale du dernier étage pour la ramener à la retenue initiale du premier étage. Cette retenue devient automatiquement (1) lorsqu'on prend le complément du diminuteur avec le même nombre que le diminuende, complété par des zéros à gauche.

Exemple : $1001 - 0011 = 0110$ **Méthode directe**

$1001 - 0011 = 1001 + 1100 + 1 = (1)\,\mathbf{0110}$ **Méthode du complément à 2**

$$\begin{array}{cccc} (1) & (1) & (0) & (0) \\ 1 & 0 & 0 & 1 \\ - \;\; 0 & 0 & 1 & 1 \\ \hline 0 & 1 & 1 & 0 \end{array} \qquad \begin{array}{cccc} & & (1) & (1) \\ & 1 & 0 & 0 & 1 \\ + & 1 & 1 & 0 & 0 \\ \hline (1) & 0 & 1 & 1 & 0 \end{array}$$

En utilisant le circuit additionneur précédent (figure 4). On applique le diminuende 1001 aux entrées $A_3A_2A_1A_0$ et le diminuteur 0011 à travers des inverseurs aux entrées $B_3B_2B_1B_0$ puis on boucle la retenue finale à la retenue initiale.

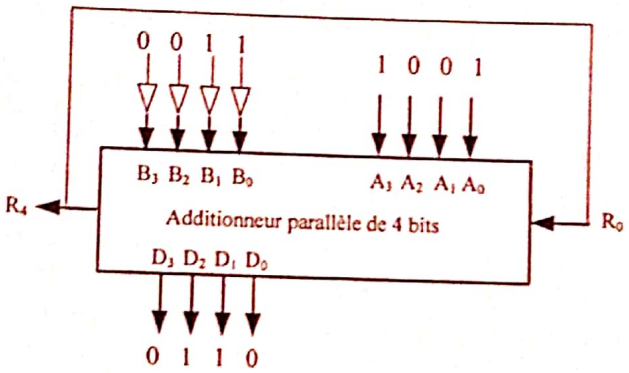


Figure 5

Le tableau suivant contient deux nombres de quatre bits N_1 et N_2 en binaire et leur différence $D = N_1 - N_2$ de quatre bits également en binaire mais affichée en Hexadécimal.

a) Réaliser le montage de la figure 5, en branchant les entrées P de l'additionneur (fig 4) aux entrées principales de la maquette et les entrées Q via quatre inverseurs aux autres entrées de la maquette puis les quatre sorties à quatre LED de la maquette et en même temps aux entrées de l'afficheur droit.

Les quatre inverseurs sont utilisés à partir du circuit de la figure 6 en connectant l'entrée EN2 au niveau haut.

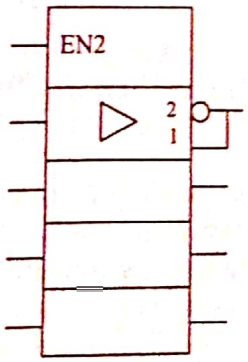


Figure 6

Scanné avec CamScanner

b) Appliquer les différentes combinaisons du tableau suivant et vérifier son fonctionnent.

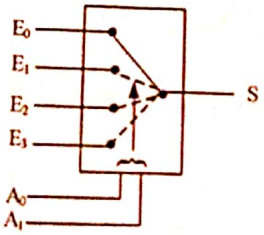
Diminuende (binaire)					Diminuteur (binaire)					La différence (binaire)				Hexa
3	2	1	0	N1	3	2	1	0	N2	3	2	1	0	D
				15					7					8
				14					8					6
				12					10					2
				10					3					7
				8					5					3
				15					1					E
				9					4					5
				15					3					C

5) Etude et application du circuit multiplexeurs.

Ce sont des circuits de sélections qui occupent une place très importante dans l'architecture des systèmes logiques.

a) Etude du multiplexeur

Un multiplexeur, souvent nommé opérateur de sélection est un circuit combinatoire logique de sélection, comprenant plusieurs entrées de données, une seule sortie et une autre série d'entrées dite adresse qui permet de choisir parmi les n entrées de données celle qui sera transmise en sortie.



A_1	A_0	S
0	0	E_0
0	1	E_1
1	0	E_2
1	1	E_3

$$S = \overline{A_1}\,\overline{A_0}\,E_0 + \overline{A_1}\,A_0E_1 + A_1\,\overline{A_0}\,E_2 + A_1A_0E_3$$

La maquette **DIGI BOARD2 (V3910)** contient un circuit multiplexeur à 2 entrées adresse A_1 et A_0 (figure 7).

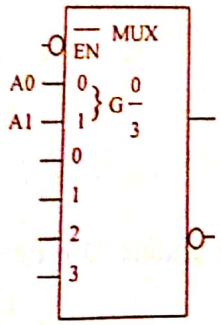


Figure 7

Scanné avec CamScanner

- Brancher les deux entrées adresse A_0 et A_1 et les quatre entrées données 3, 2, 1, 0, aux entrée principales de la maquette et la sortie à une LED de la maquette.
- Appliquer les différentes combinaisons aux entrées adresse A_1 et A_0 et vérifier que à chaque fois la sortie S est liée à une seule entrée donnée.

b) application du multiplexeur à la génération des fonctions logiques.

Le multiplexeur pouvant calculer des fonctions de plusieurs variables, peut être utilisé en générateur de fonctions logiques.
Pour un multiplexeur à 4 entrées d'information E_0, E_1, E_1, E_1, et 2 entrées d'adresse A_1 et A_0, (A_1 le bit du poids le plus fort et A_0 le bit du poids le moins fort), le signal de sortie est donné par :

$$S = \overline{A_1}\,\overline{A_0}\,E_0 + \overline{A_1}\,A_0E_1 + A_1\,\overline{A_0}\,E_2 + A_1A_0E_3$$

Exemple : On veut réaliser la fonction F suivante à l'aide d'un Multiplexeur à 2 entrées adresse.

$$F = AB + BC + AC$$

Il faut choisir par exemple pour entrées adresse $A_1 = A$ (poids le plus fort) et $A_0 = B$ (poids le plus faible), La fonction F peut s'écrire sous la forme suivante :

$$F = BC + AC + AB$$
$$F = CB\overline{A} + C\overline{B}A + \overline{C}BA + CBA$$
$$F = \overline{A}\,\overline{B}\,0 + \overline{A}BC + A\overline{B}C + AB1$$
$$S = \overline{A_1}\,\overline{A_0}\,E_0 + \overline{A_1}\,A_0E_1 + A_1\,\overline{A_0}\,E_2 + A_1A_0E_3$$

Puis il faut appliquer aux entrées données:

$$E_1 = E_2 = C, \quad E_3 = 1 \text{ et } E_0 = 0$$

D'ou le montage suivant

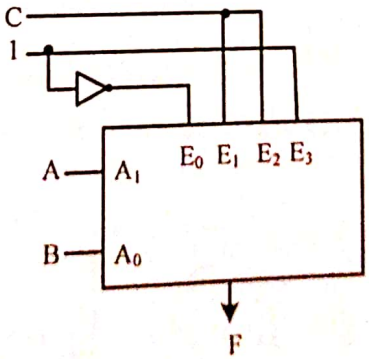


Figure 8

- A partir de l'expression de F remplir la table de vérité suivante.

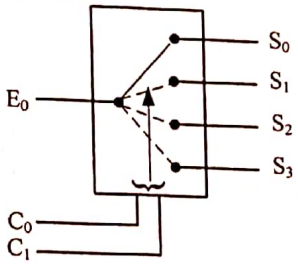
Scanné avec CamScanner

A	B	C	F
0	0	1	
0	0	0	
0	1	1	
0	1	0	
1	0	1	
1	0	0	
1	1	1	
1	1	0	

- A l'aide du multiplexeur de la figure, réaliser le montage de ce multiplexeur et vérifier sa table de vérité.

4) Demultiplexeur

Un démultiplexeur est un circuit à plusieurs entrées et plusieurs sorties, qui permet d'amener le signal de l'une des entrées sur l'une des sorties sélectionnées : il réalise l'opération inverse de celle du multiplexeur.



La maquette **DIGI BOARD2 (V3910)** contient un circuit démultiplexeur à 2 entrées adresse A_1 et A_0 (figure 9).

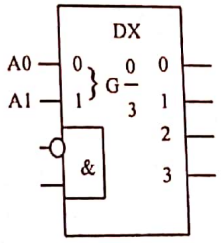


Figure 9

Brancher les deux entrées adresse A_0 et A_1 et l'entrée donnée vraie au niveau haut, aux entrées principales de la maquette et les quatre sorties à quatre LED de la maquette.

Appliquer les différentes combinaisons aux entrées adresse A_1 et A_0 et vérifier que l'entrée donnée est liée une seule sortie à la fois.

Scanné avec CamScanner

I - INTRODUCTION.

Les circuits logiques sont à la base de l'électronique moderne et ont préparé la voie à l'informatique, par l'élaboration du microprocesseur, qui est le cœur de l'ordinateur.

La logique est basée sur l'algèbre de Boole (a. binaire), dans cette algèbre une variable ne peut prendre que deux états : 0 ou 1.

La variable peut donc être représentée par un signal électrique, optique, etc qui existe ou n'existe pas, contrairement à l'électronique dite analogique, qui travaille sur l'intensité du signal.

Il existe deux types de circuits logiques : les circuits combinatoires et les circuits séquentiels.

La logique combinatoire utilise des combinaisons de circuits élémentaires sans mémoire pour réaliser des fonctions instantanées. La sortie ne dépend que des entrées au moment de la mesure.

La logique séquentielle réalise une fonction qui se déroule dans le temps synchronisée par une horloge. La sortie est une fonction non seulement des entrées mais, en plus des anciens états des circuits, soit de l'histoire passée des variables.

II - BUT.

La série de manipulations suivantes à pour but l'étude des circuits logiques de base et la vérification expérimentale des résultats de l'algèbre de Boole ainsi que la réalisation de systèmes logiques combinatoires simples.

Après l'étude des circuits élémentaires, nous allons examiner des combinaisons plus complexes utilisant un nombre important de portes logiques (réalisation d'un circuit capable de faire l'addition de deux bits en tenant compte de la retenue, et de deux circuits d'aiguillage).

III - GENERALITES ET DEFINITIONS.

1) Généralités.

Les éléments de base (portes logiques) de **la maquette de circuits logiques de base M10** utilisée sont des circuits intégrés TTL (Transistor, Transistor, Logic).

Les niveaux logiques sont :

0 : absence de tension (niveau bas ou état faux)

1 : présence de tension positive + 5V (niveau haut ou état vrais).

Lorsqu'une porte logique a sa sortie au niveau logique 1, son voyant est allumé.

2) Fonctions logiques élémentaires.

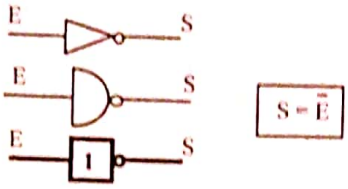
Trois fonctions élémentaires suffisent pour définir l'algèbre de Boole : la fonction Complément ou **NON**, la fonction **ET** ou produit logique et la fonction **OU** ou addition logique.

Ces fonctions sont données ci-dessous sous forme de tableau appelé table de vérité de la fonction.

Scanné avec CamScanner

a) Fonction NON (Complément).

C'est une fonction d'une variable notée par ¯ (barre). La sortie est le contraire de l'entrée, $S = \bar{E}$. Trois types de représentations sont généralement utilisées.



$S = \bar{E}$

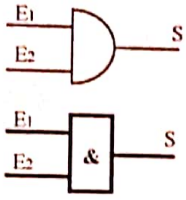
Table de vérité

E	S
0	1
1	0

b) Fonction ET (AND) ou produit logique.

Cette fonction est équivalente à l'intersection en théorie des ensembles. Elle met en évidence la notion de simultanéité de deux ou plusieurs évènements (variables).

En langage logique, la fonction **ET** de deux ou plusieurs variables prend la valeur 1 si toutes les variables sont simultanément égales à 1.



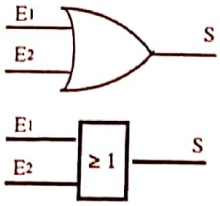
$S = E_1 . E_2$

Table de vérité

E1	E2	S
0	0	0
0	1	0
1	0	0
1	1	1

c) Fonction OU (OR) ou addition logique.

En théorie des ensembles, cette fonction est équivalente à la réunion. En langage logique, la fonction OU de deux ou plusieurs variables prend la valeur 1 si au moins une des variables est égale à 1.



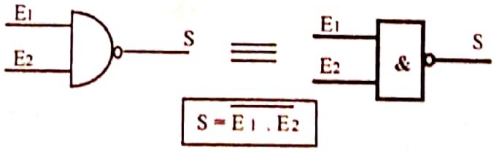
$S = E_1 + E_2$

Table de vérité

E1	E2	S
0	0	0
0	1	1
1	0	1
1	1	1

d) Fonction NAND (NON ET : $\overline{ET}$).

Cette fonction réalise la fonction complémentaire de la fonction ET. La sortie est à 1 si l'une (ou plusieurs) des entrées est à 0.

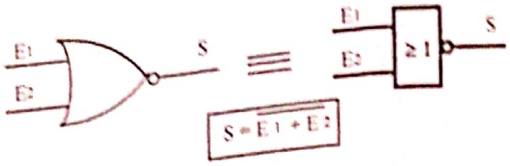


$S = \overline{E_1 . E_2}$

Scanné avec CamScanner

e) Fonction NOR (NON OU : $\overline{OU}$).

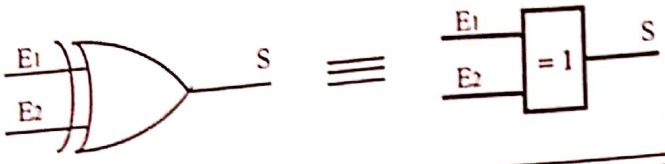
Cette fonction réalise la fonction complémentaire de la fonction OU. La sortie est à 1 si toutes les entrées sont à 0.



f) Fonction OU exclusif.

C'est une fonction de deux variables uniquement qui représente l'addition arithmétique et qui prend la valeur 1 si une et une seule variable est égale à 1.

On symbolise la fonction OU exclusif par le symbole : $\oplus$.



$$S = E_1 \oplus E_2 = (\overline{E_1} + \overline{E_2}) . (E_1 + E_2) = (E_1 . \overline{E_2}) + (\overline{E_1} . E_2)$$

3) <u>Théorème de De Morgan</u>.

a) Complément d'une somme.

Le complément d'une somme est égal au produit des compléments de chaque terme de la somme.

$$\overline{A + B + C} = \overline{A} . \overline{B} . \overline{C}$$

b) Complément d'un produit.

Le complément d'un produit est égal à la somme booléenne des compléments de chaque facteur.

$$\overline{A . B . C} = \overline{A} + \overline{B} + \overline{C}$$

IV - MANIPULATION

On dispose d'une maquette **DIGI BOARD2 (V3910)** qui contient plusieurs circuits logiques différents ; ces circuits sont alimentés par une tension de 5Và travers 8 entrées à deux états haut H et bas L. La détection des niveaux logiques se fait à travers 12 sorties à indicateurs lumineux (LED) de différentes couleurs (allumé : 1 ; éteint : 0).

Scanné avec CamScanner

1) Fonctions de base

a) Porte logique NON

La maquette **DIGI BOARD2** contient un circuit logique qui possède quatre inverseurs une fois l'entrée EN2 et mise au niveau haut (figure 1).

Dresser la table de vérité de la fonction NON et vérifier son fonctionnement.

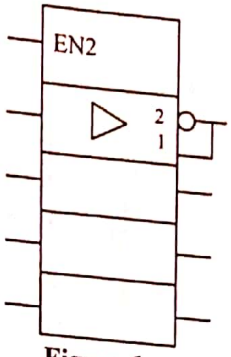


Figure 1

b) Porte logique AND

La maquette **DIGI BOARD2 (V3910)** qui contient quatre circuits logiques fonctionnant en AND et en NAND à la fois à quatre entrées et deux sorties (figure 2).

Dresser l4 table de vérité d'une porte AND à 2, 3 et 4 entrées et vérifier son fonctionnement.

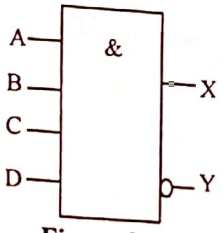


Figure 2

c) Porte logique NAND

En utilisant le même circuit que b) et en utilisant la sortie vraie au niveau bas, dresser la table de vérité d'une porte NAND à 2, 3 et 4 entrées et vérifier son fonctionnement.

d) Porte logique OR

La maquette **DIGI BOARD2 (V3910)** qui contient quatre circuits logiques OR et NOR à la fois à quatre entrées et deux sorties (figure 3).

Dresser la table de vérité d'une porte OR à 2 entrées et vérifier son fonctionnement.

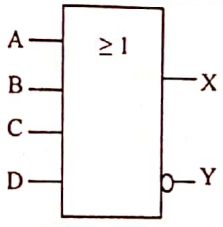


Figure 3

Scanné avec CamScanner

e) Porte logique NOR

En utilisant le même circuit que d) et en utilisant la sortie vraie au niveau bas, dresser la table de vérité d'une porte NOR à 4 entrée et vérifier son fonctionnement.

f) Porte logique OU exclusif XOR

La maquette **DIGI BOARD2 (V3910)** contient un circuit logique XOR à deux entrées et une sortie (figure 4).

Dresser sa table de vérité et vérifier son fonctionnement.

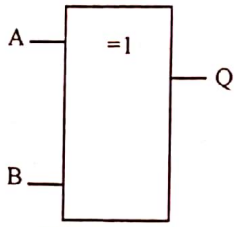


Figure 4

g) Porte logique XNOR

La maquette **DIGI BOARD2 (V3910)** contient un circuit logique XNOR (figure suivante) à deux entrées et une sortie (figure 5).

Dresser sa table de vérité et vérifier son fonctionnement.

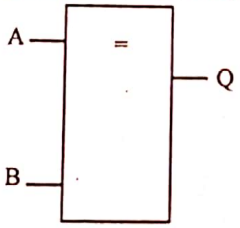


Figure 5

- **h)** Vérifierez qu'en logique T.T.L une entrée non connectée de n'importe quel circuit correspond à un niveau 1.

2) Niveaux logiques

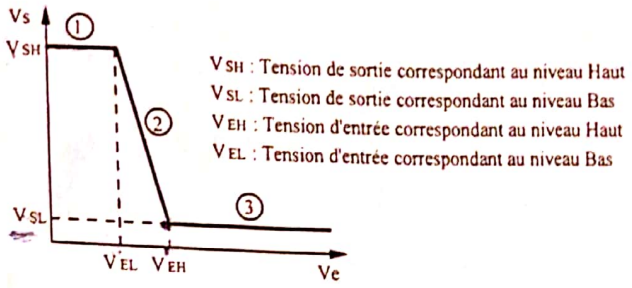
Un circuit logique délivre en général une tension. Il faut donc faire une correspondance entre les deux niveaux, appelés niveaux hauts (H) et bas (L), et les variables 0 et 1.

En logique positive, le niveau logique 1 correspond au potentiel le plus élevé (H).

Une caractéristique importante des circuits logiques est la caractéristique de transfert Vs=f(Ve).

Par exemple, pour un inverseur (porte logique NON), la caractéristique de transfert comporte trois parties idéalisées par trois segments.

Scanné avec CamScanner



Zone 1 : la tension d'entrée est inférieure à V_{EL} (niveau logique 0) ; la tension de sortie est V_{SH} (niveau logique 1).

Zone 3 : la tension d'entrée est supérieure à V_{EH} (niveau logique 1) ; la tension de sortie est V_{SL} (niveau logique 0). Ces deux zones correspondent au fonctionnement normal d'un inverseur.

Zone 2 : l'inverseur fonctionne en amplificateur (régime linéaire).

A l'aide du potentiomètre de la maquette M10, appliquer une tension variable V_E à l'entrée d'un NON, non chargé de cette maquette. Mesurer V_E et V_S et tracer la courbe $V_S=f(V_E)$; on constatera que les niveaux logiques peuvent être pris comme suit :

0 : tension comprise entre 0 et 0,5V.

1 : tension comprise entre 2,5 et 5V.

3) Combinaison de circuits et vérification du théorème de De Morgan.

$\overline{A + B} = \overline{A} \cdot \overline{B}$ et $\overline{A \cdot B} = \overline{A} + \overline{B}$

Pour cela, on utilise les deux montages suivants :

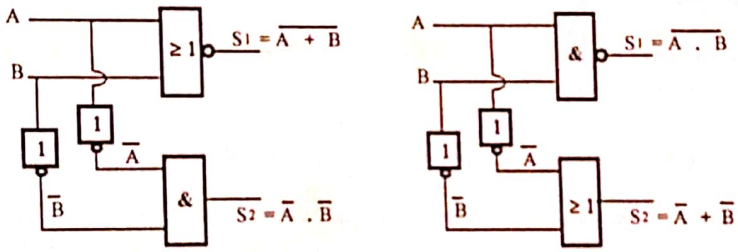


Figure 6

Réaliser les deux montages de la figure 6 et contrôler la concordance des sorties S_1 et S_2.

4) Etude d'un additionneur de deux bits.

a) Demi-additionneur

Le demi-additionneur est le plus simple des additionneurs. Son utilisation est limitée, car il ne peut additionner que deux bits ou entrées sans tenir compte de la retenue. On le note (DA).

La figure suivante montre la représentation logique d'un demi-additionneur avec sa table de vérité et sa représentation simplifiée.

Scanné avec CamScanner

Entrées		Sorties	
A	B	S	R
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

S : somme (Σ)
R : retenue (R)

$S = \overline{A}B + A\overline{B} = A \oplus B$
$R = A \cdot B$

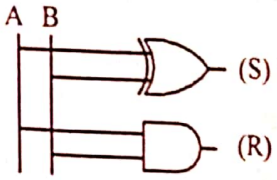


Figure 7

Remarque : Le montage possède deux sorties, la première donne la somme (S), l'autre donne la retenue (R).
Comme l'industrie demande des additions beaucoup plus complexes, il faut combiner plusieurs demi-additionneurs pour permettre l'addition de plus grands nombres binaires.

Réaliser le montage d'un demi additionneur (figure 7). Câbler ce dernier et vérifier le fonctionnement de sa table de vérité.

b) Additionneur complet

Pour additionner deux nombres binaires, il faut tenir compte de la retenue du rang précédent. Ainsi, la somme de deux bits de rang k, A_k et B_k est P_k tel que :

$$S_k = A_k + B_k + R_{k-1}$$

Pour réaliser un additionneur complet noté (AC), il convient de tenir compte de :

- Pour l'addition complète de rang k, ajouter à l'addition partielle des deux bits A_k et B_k la retenue R_{k-1} résultant de l'addition complète de rang k-1.
- Mettre la retenue résultant de cette addition complète dans R_k, pour servir la prochaine addition de rang k+1.

La table de vérité d'un tel circuit est la suivante :

Entrées			Sorties	
R_{k-1}	A_k	B_k	S_k	R_k
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Scanné avec CamScanner

Expressions de S_k :

$S_k = \overline{R}_{k-1}\,\overline{A}_k\,B_k + \overline{R}_{k-1}\,A_k\,\overline{B}_k + R_{k-1}\,\overline{A}_k\,\overline{B}_k + R_{k-1}A_kB_k$

$S_k = \overline{R}_{k-1}(A_k \oplus B_k) + R_{k-1}\,\overline{A_k \oplus B_k}$

$$\boxed{S_k = R_{k-1} \oplus (A_k \oplus B_k)}$$

Expressions de R_k :

$R_k = A_kB_k + R_{k-1}B_k\,\overline{A}_k + R_{k-1}A_k\,\overline{B}_k$

$$\boxed{R_k = A_kB_k + R_{k-1}(A_k \oplus B_k)}$$

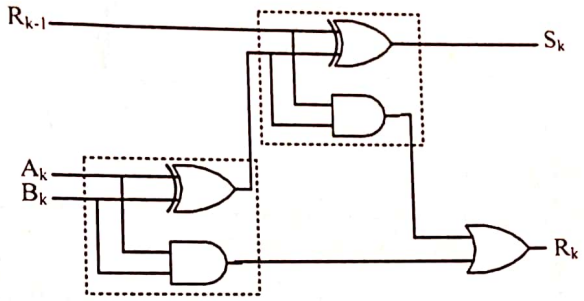


Figure 8

L'additionneur complet est une évolution du demi additionneur, il possède 3 entrées. C'est cette entrée supplémentaire qui rend son utilisation plus polyvalente. En effet dans une addition binaire, la retenue d'une colonne est reporté sur la colonne suivante, et elle fait partie de l'addition de cette nouvelle colonne et ainsi de suite.

Réaliser le montage d'un additionneur complet (figure 8), formé par le minimum de portes logiques (2 OU exclusifs, 2 AND et 1 OR). Câbler ce dernier et vérifier le fonctionnement de sa table de vérité. (Le deuxième XOR peut être réaliser à l'aide de la porte XNOR et d'un inverseur).

5) Multiplexeurs et démultiplexeurs.

Ce sont des circuits de sélections qui occupent une place très importante dans l'architecture des systèmes logiques. De ce fait ils figurent en grand nombre dans les catalogues des constructeurs. Pour notre part nous allons étudier leur principe en réalisant les circuits type les plus simples à l'aide des portes logiques élémentaires.

a) Multiplexeurs

Un multiplexeur souvent nommé opérateur de sélection est un circuit logique de sélection, possédant n entrées de données, une seule sortie et une autre série d'entrées dite d' "adresse" permet de choisir parmi les n entrées de "donnée" celle qui se trouvera transmise en sortie.

Le schéma le plus simple d'un démultiplexeur est celui du système à deux entrées "donnée" A et B, et une entrée "adresse" E (figure 9).

Scanné avec CamScanner

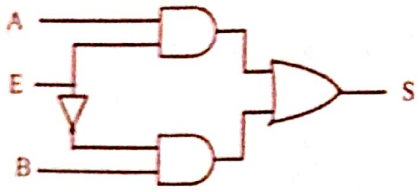


Figure 9

- Donner l'expression de S, et expliquer le fonctionnement de chaque montage.
- Réaliser ce circuit et vérifier que si l'adresse E vaut 1, c'est A qui se trouve en sortie et inversement.
- On donne le circuit ci-dessous, déterminer sa nature. Expliquer son fonctionnement et le vérifier expérimentalement.

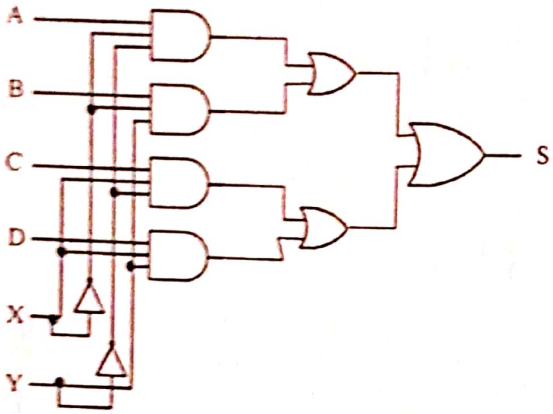


Figure 10

b) Demultiplexeur

C'est en quelque sorte le circuit inverse du précédent. Il possède une entrée de donnée, plusieurs sorties et une série d'entrées auxiliaires d'adressage qui permet d'aiguiller la donnée vers l'une des sorties.

- Réaliser et vérifier le fonctionnement du démultiplexeur schématisé ci-après.

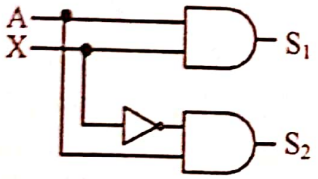


Figure 10

- Compte tenu des connaissances acquises et sachant qu'on dispose de 4 circuits ET à triple entrée, établir le schéma d'un démultiplexeur 1 entrée vers 4 sorties. Réaliser le schéma et vérifier expérimentalement son fonctionnement.

Scanné avec CamScanner

CIRCUITS LOGIQUES COMBINATOIRES ET APPLICATIONS

Les étudiants sont responsables de la maquette Digitale utilisée.

Ne mettez sous tension la maquette qu'une fois le circuit est bien câblé et vérifié par l'enseignant.

Une maquette **DIGI BOARD2 (V3910)**

Scanné avec CamScanner

I - INTRODUCTION.

Il existe deux types de circuits logiques : les circuits combinatoires et les circuits séquentiels.

La logique combinatoire utilise des combinaisons de circuits élémentaires sans mémoire pour réaliser des fonctions instantanées. La sortie ne dépend que des entrées au moment de la mesure.

II - BUT.

La série de manipulations suivantes à pour but l'étude des circuits intégrés logiques combinatoires tels que : l'afficheur 7 segments, l'additionneur et le soustracteur avec affichage, les circuits d'aiguillage et leur utilisation pour générer des fonctions logiques.

III – Utilisation et application des circuits logiques combinatoires.

1) Etude et application de l'afficheur 7 segments.

Parmi les domaines considérables d'utilisation des circuits numériques, on trouve toujours la présence d'un afficheur pour convertir des données binaires en une forme qui se présente sous forme d'affichage numérique. Dans de nombreux afficheurs numériques, les dix chiffres 0 à 9 et parfois les caractères hexadécimaux A, b, C, d, E et F sont configurés au moyen de sept segments. Chacun est constitué d'un matériau qui émet de la lumière quand il est traversé par un courant. Les matériaux les plus utilisés sont les diodes électroluminescentes (DEL) et les filaments incandescents (figure 1).

Figure 1 : Disposition des 7 segments.

Exemple : Pour afficher le chiffre 4, il faut que les segments b, c, f et g soient allumés et que les segments a, d et e soient éteints.

La figure 3 montre l'affichage des 16 bits du système hexadécimal.

Aussi cet afficheur peut être piloté par un décodeur DCB-7 segments (TTL, 7446 ou 7447), qui possède 4 entrées et 7 sorties reliées aux 7 segments de l'afficheur.

Si on applique aux l'entrées DCBA de ce décodeur la combinaison (0110) qui correspondant au chiffre 6. Les sorties a, f, g, c, d, et e, seront activées. Un courant passe à travers les segments DEL (a, f, g, c, d, et e) et affiche le nombre 6.

La maquette **DIGI BOARD2 (V3910)** contient un circuit à deux afficheurs sept segments (figure 2), chaque afficheur est commandé par une entrée à quatre bits 8, 4, 2, 1.

Les sept segments de l'afficheur droit peuvent être commandés séparément une fois

Scanné avec CamScanner

l'entrée X est mise au niveau bas.

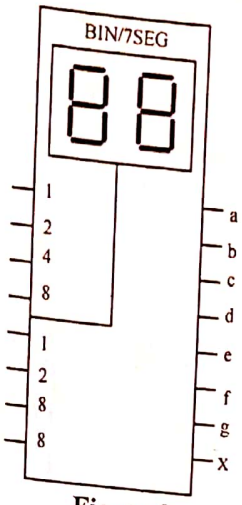


Figure 2

a) **Vérification du fonctionnement des 7 segments.**

- Remplir le tableau suivant à fin de visualiser les seize bits hexadécimaux

Les sept segments de l'afficheur droit							Sortie
a	b	c	d	e	f	g	Bit(Hexa)
1	1	1	0	0	0	0	0
1	1	0	1	1	0	1	1
1	1	1	1	0	0	1	2
0	1	1	0	0	1	1	3
1	0	1	1	0	1	1	4
1	0	1	1	1	1	1	5
1	1	1	0	0	0	0	6
1	1	1	1	1	1	1	7
1	1	1	1	0	1	1	8
1	1	1	0	1	1	1	9
0	0	1	1	1	1	1	A
1	0	0	0	1	1	0	b
0	1	1	1	1	0	1	C
1	0	0	1	1	1	1	d
1	0	0	0	1	1	1	E
							F

- En utilisant le circuit de la figure 2 et en connectant la sortie X au niveau bas, vérifier expérimentalement chaque ligne du tableau.

b) Utilisation des deux afficheurs pour écrire un nombre compris entre 0 et 99

- Remplir le tableau suivant à fin de visualiser les différents nombres donnés sur la colonne gauche.
- Brancher les deux entrées à quatre bits 8, 4, 2, 1, des deux afficheurs, et visualiser ces différents nombres décimaux.

Scanné avec CamScanner

Entrées de l'afficheur gauche				Entrées de l'afficheur droit				Nombre Décimal
4	3	2	1	4	3	2	1	
0	0	0	0	0	0	0	0	00
0	0	0	0	1	1	1	1	07
0	0	0	1	0	0	1	0	12
0	0	1	0	0	1	1	0	26
0	0	1	1	0	0	1	1	33
0	1	0	0	0	1	1	0	46
0	1	0	1	1	0	0	1	59
0	1	1	0	0	0	1	1	63
0	1	1	0	1	0	0	0	68
0	1	1	1	0	0	0	0	70
0	1	1	1	0	1	1	0	76
1	0	0	0	0	1	0	1	85
1	0	0	1	0	0	0	1	91
1	0	0	1	0	0	0	1	99

2) Réalisation d'un additionneur de deux nombres de 4 bits chacun avec affichage.

Ils existent des additionneurs sous la forme de circuits intégrés pour éviter qu'on ait à manipuler une quantité énorme de portes logiques. La figure 3 suivante montre la brochure du circuit intégré d'un additionneur de 2 nombre de 4 bits chacun avec une retenue initiale généralement nulle et une retenue finale généralement égale à 1.
Le schéma utilisé pour un additionneur parallèle de 4 bits est le suivant :

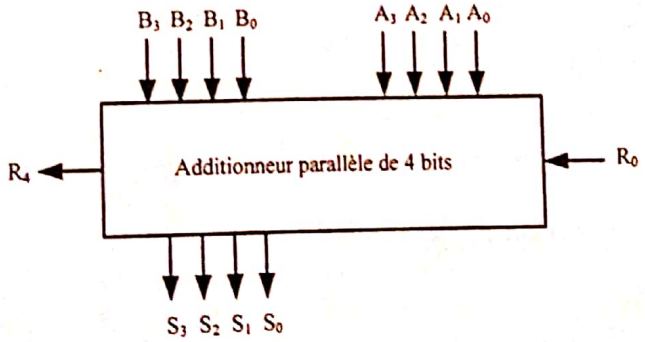


Figure 3

La maquette **DIGI BOARD2 (V3910)** contient deux circuits additionneurs de 2 nombres de 4 bits chacun (figure 4), possédant 2 entrées de quatre bits P et Q, une sortie S (somme de P et Q), une retenues initial CI et une retenue finale CO.

Scanné avec CamScanner

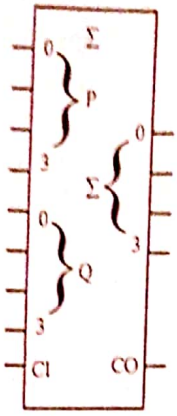


Figure 4

Le tableau suivant contient deux nombres de quatre bits N_1 et N_2 en binaire et leur somme S de quatre bits également en binaire mais affichée en Hexadécimal.

a) Brancher les deux entrées P et Q aux entrées principales de la maquette et les quatre sorties à quatre LED de la maquette et en même temps aux entrées de l'afficheur droit.

b) Appliquer les différentes combinaisons du tableau suivant et vérifier son fonctionnent.

Nombre N_1 en binaire					Nombre N_2 en binaire					Somme en binaire				
3	2	1	0	N_1	3	2	1	0	N_2	3	2	1	0	S
0	0	0	0	0	0	1	1	0	6	0	1	1	0	6
0	0	1	1	3	0	1	0	1	5	1	0	0	0	8
0	1	1	1	7	0	0	1	0	2	1	0	0	1	9
1	0	0	0	8	0	1	1	1	7	1	1	1	1	F
1	0	0	1	9	0	1	0	0	4	1	1	0	1	d
1	1	0	0	12	0	0	1	0	2	1	1	1	0	E
1	0	1	1	11	0	1	0	0	4	1	1	1	1	F
1	0	1	0	10	0	0	1	1	3	1	1	0	1	d
0	1	0	1	5	1	0	1	0	10	1	1	1	1	F
1	0	0	0	8	0	1	0	1	5	1	1	0	1	d
0	0	0	0	16	0	1	0	1	5	0	1	0	1	5
1	1	0	1	13	1	1	0	0	12	1	0	0	1	9
1	1	1	1	15	1	0	1	1	11	1	0	1	0	A
1	0	1	0	10	0	0	0	0	16	1	0	1	0	A
1	1	1	1	15	1	1	1	1	15	1	1	1	0	E
0	0	0	0	16	0	0	0	0	16	0	0	0	0	0

3) <u>Réalisation d'une soustraction à l'aide du circuit additionneur par la méthode du complément à 2.</u>

Il n'existe pas de circuit intégré pour la soustraction. Il est cependant possible d'utiliser un artifice mathématique pour transformer la soustraction en addition et ainsi utiliser des additionneurs logiques pour réaliser la soustraction.

➢ On utilise la technique mathématique dite « soustraction à retenue circulaire et à complément à 1 ». La façon de procéder est la suivante :

On inverse le valeur logique (complément de chaque entrée du diminuteur.

Exemple 0011 est transformé en 1100.

Scanné avec CamScanner

➢ On prendra la sortie de la retenue finale du dernier étage pour la ramener à la retenue initiale du premier étage. Cette retenue devient automatiquement (1) lorsqu'on prend le complément du diminuteur avec le même nombre que le diminuende, complété par des zéros à gauche.

Exemple : $1001 - 0011 = 0110$

$1001 - 0011 = 1001 + 1100 + 1 = (1)\,0110$ **Méthode directe**

Méthode du complément à 2

	(1)	(1)	(0)	(0)
	1	0	0	1
-	0	0	1	1
	0	1	1	0

			(1)	(1)
	1	0	0	1
+	1	1	0	0
(1)	0	1	1	0

En utilisant le circuit additionneur précédent (figure 4). On applique le diminuende 1001 aux entrées $A_3A_2A_1A_0$ et le diminuteur 0011 à travers des inverseurs aux entrées $B_3B_2B_1B_0$ puis on boucle la retenue finale à la retenue initiale.

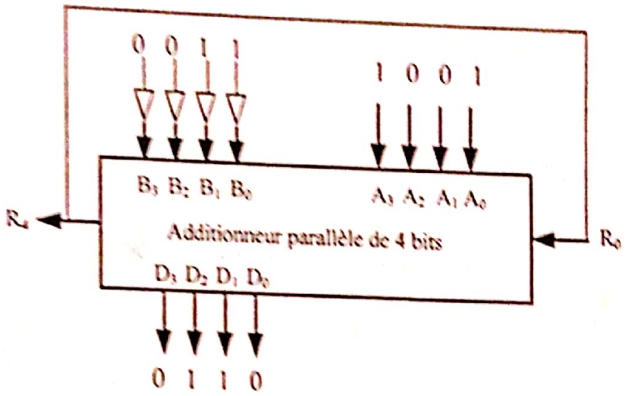


Figure 5

Le tableau suivant contient deux nombres de quatre bits N_1 et N_2 en binaire et leur différence $D = N_1 - N_2$ de quatre bits également en binaire mais affichée en Hexadécimal.

a) Réaliser le montage de la figure 5, en branchant les entrées P de l'additionneur (fig 4) aux entrées principales de la maquette et les entrées Q via quatre inverseurs aux autres entrées de la maquette puis les quatre sorties à quatre LED de la maquette et en même temps aux entrées de l'afficheur droit.

Les quatre inverseurs sont utilisés à partir du circuit de la figure 6 en connectant l'entrée EN2 au niveau haut.

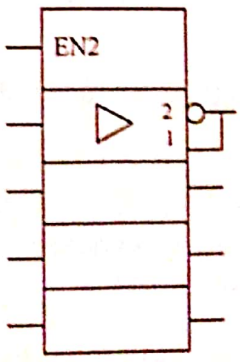


Figure 6

Scanné avec CamScanner

b) Appliquer les différentes combinaisons du tableau suivant et vérifier son fonctionnent.

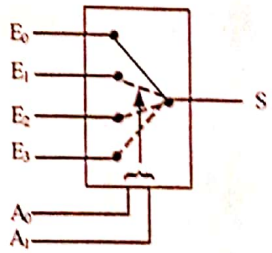
Diminuende (binaire)					Diminuteur (binaire)					La différence (binaire)				
3	2	1	0	N1	3	2	1	0	N2	3	2	1	0	Hexa
1	1	1	1	15	0	1	1	1	7	1	0	0	0	8
1	1	1	0	14	1	0	0	0	8	0	1	1	0	6
1	1	0	0	12	1	0	1	0	10	0	0	1	0	2
1	0	1	0	10	0	0	1	1	3	0	1	1	1	7
1	0	0	0	8	0	1	0	1	5	0	0	1	1	3
1	1	1	1	15	0	0	0	1	1	1	1	1	0	E
1	0	0	1	9	0	1	0	0	4	0	1	0	1	5
1	1	1	1	15	0	0	1	1	3	1	1	0	0	C

5) Etude et application du circuit multiplexeurs.

Ce sont des circuits de sélections qui occupent une place très importante dans l'architecture des systèmes logiques.

a) Etude du multiplexeur

Un multiplexeur, souvent nommé opérateur de sélection est un circuit combinatoire logique de sélection, comprenant plusieurs entrées de données, une seule sortie et une autre série d'entrées dite adresse qui permet de choisir parmi les n entrées de données celle qui sera transmise en sortie.



A_1	A_0	S
0	0	E_0
0	1	E_1
1	0	E_2
1	1	E_3

$$S = \overline{A_1}\,\overline{A_0}\,E_0 + \overline{A_1}\,A_0E_1 + A_1\overline{A_0}\,E_2 + A_1A_0E_3$$

La maquette **DIGI BOARD2 (V3910)** contient un circuit multiplexeur à 2 entrées adresse A_1 et A_0 (figure 7).

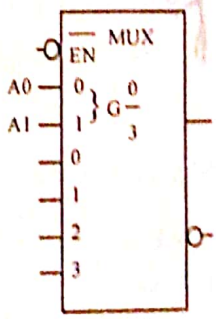


Figure 7

Scanné avec CamScanner

- Brancher les deux entrées adresse A_0 et A_1 et les quatre entrées données 3, 2, 1, 0, aux entrée principales de la maquette et la sortie à une LED de la maquette.
- Appliquer les différentes combinaisons aux entrées adresse A_1 et A_0 et vérifier que à chaque fois la sortie S est liée à une seule entrée donnée.

b) application du multiplexeur à la génération des fonctions logiques.

Le multiplexeur pouvant calculer des fonctions de plusieurs variables, peut être utilisé en générateur de fonctions logiques.
Pour un multiplexeur à 4 entrées d'information E_0, E_1, E_1, E_1, et 2 entrées d'adresse A_1 et A_0, (A_1 le bit du poids le plus fort et A_0 le bit du poids le moins fort), le signal de sortie est donné par :

$$S = \overline{A_1}\,\overline{A_0}\,E_0 + \overline{A_1}\,A_0E_1 + A_1\overline{A_0}\,E_2 + A_1A_0E_3$$

Exemple : On veut réaliser la fonction F suivante à l'aide d'un Multiplexeur à 2 entrées adresse.

$$F = AB + BC + AC$$

Il faut choisir par exemple pour entrées adresse $A_1 = A$ (poids le plus fort) et $A_0 = B$ (poids le plus faible), La fonction F peut s'écrire sous la forme suivante :

$$F = BC + AC + AB$$
$$F = CB\overline{A} + C\overline{B}A + \overline{C}BA + CBA$$
$$F = \overline{A}\,\overline{B}\,0 + \overline{A}BC + A\overline{B}C + AB\,1$$
$$S = \overline{A_1}\,\overline{A_0}\,E_0 + \overline{A_1}\,A_0E_1 + A_1\overline{A_0}\,E_2 + A_1A_0E_3$$

Puis il faut appliquer aux entrées données:

$$E_1 = E_2 = C,\quad E_3 = 1 \text{ et } E_0 = 0$$

D'ou le montage suivant

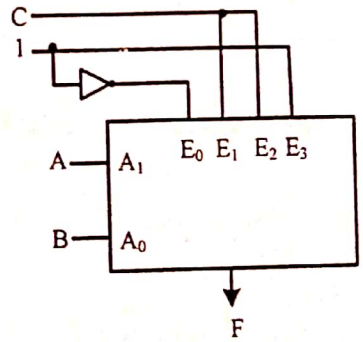


Figure 8

- A partir de l'expression de F remplir la table de vérité suivante.

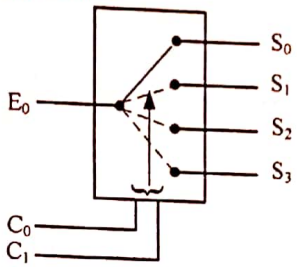
Scanné avec CamScanner

A	B	C	F
0	0	1	
0	0	0	
0	1	1	
0	1	0	
1	0	1	
1	0	0	
1	1	1	
1	1	0	

- A l'aide du multiplexeur de la figure, réaliser le montage de ce multiplexeur et vérifier sa table de vérité.

4) Demultiplexeur

Un démultiplexeur est un circuit à plusieurs entrées et plusieurs sorties, qui permet d'amener le signal de l'une des entrées sur l'une des sorties sélectionnées : il réalise l'opération inverse de celle du multiplexeur.



La maquette **DIGI BOARD2 (V3910)** contient un circuit démultiplexeur à 2 entrées adresse A_1 et A_0 (figure 9).

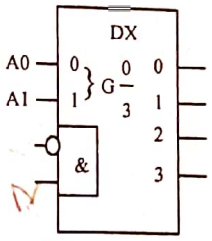


Figure 9

A_0	A_1	S_0	S_1	S_2	S_3
0	0	1	0	0	0
0	1	0	0	1	0
1	0	0	1	0	0
1	1	0	0	0	1

Brancher les deux entrées adresse A_0 et A_1 et l'entrée donnée vraie au niveau haut, aux entrées principales de la maquette et les quatre sorties à quatre LED de la maquette.

Appliquer les différentes combinaisons aux entrées adresse A_1 et A_0 et vérifier que l'entrée donnée est liée une seule sortie à la fois.

Scanné avec CamScanner

I - PRESENTATION

Une bascule ou multivibrateur bistable est une combinaison de portes logiques qui a la possibilité de mémoriser une donnée digitale. Jusqu'à un certain point, elle peut mémoriser non seulement la donnée qui vient d'être entrée à un instant précis, mais aussi, celle qui y était juste avant. Une bascule restera dans un état donné même après disparition des conditions qui l'ont mise dans cet état. Elle sera utilisée pour le stockage, le dénombrement et le transport des informations digitales.

La plupart des bascules ont deux sorties complémentaires généralement notées Q et $\overline{Q}$. Des bascules plus complexes possèdent une troisième entrée **Horloge** utilisée pour synchroniser les changements d'états. Avec ces circuits, les données appliquées à l'entrée sont transférées dans la bascule et affectent ses sorties seulement quand l'impulsion d'horloge est envoyée. L'entrée horloge est parfois aussi appelée entrée de synchronisation.

II – Etude de quelques bascules.

1) Bascule R.S à circuit NAND.

La bascule la plus élémentaire est constituée de deux portes logiques NAND. On remarque que la sortie de la 1ère porte est liée à l'entrée de la 2ème et inversement, la sortie de la 2ème porte est liée à l'entrée de la 1ère.

Les entrées de cette bascule sont désignées par S (SET) et R (RESET). Cette dernière est appelée par fois C (CLEAR).

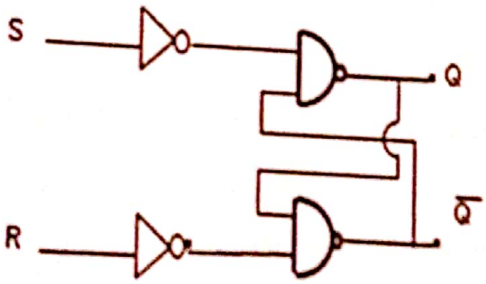


Figure 1

Le fonctionnement de la bascule RS est résumé sur la table de vérité suivante :

R	S	Q	$\overline{Q}$	Type de fonctionnement de la bascule
0	0	Q-	$\overline{Q}$ -	Etat initial (2 cas possibles)
0	1	1	0	Mise à 1 (Phase ecriture)
1	0	0	1	Mise à 0 (Phase effacement)
1	1	1	1	Etat interdit

Table de fonctionnement

Scanné avec CamScanner

- En utilisant le schéma de cette bascule (figure 1) et en partant d'un état initial quelconque, interpréter la table de vérité en expliquant les différents états de la bascule lorsqu'on passe d'un état à un autre des entrées S et R.

- Réaliser le montage de cette bascule et vérifier expérimentalement la table de fonctionnement ci-dessous.

S	R	Q	$\overline{Q}$	
1	0	1	0	mise à 1
1	1	1	1	interdit
0	1	0	1	Mise à 0
1	1	1	1	Interdit
0	0	1	1	Mémoire

2) - Bascule R.S.T.

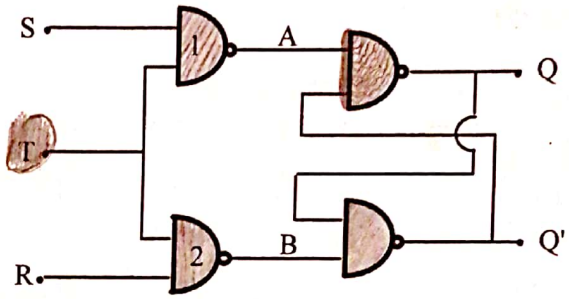


Figure 2

Les portes 1 et 2 ne laissent passer les signaux en provenance de R et S que si l'entrée Horloge T est à 1.

Lorsque T = 0, A et B sont à 1 ∀ R et S. Les sorties Q et $\overline{Q}$ sont complémentaires et conservent les mêmes valeurs ∀ R et S (phase mémoire).

Lorsque T passe à 1, A = $\overline{S}$ et B = $\overline{R}$ et l'on a un fonctionnement identique à celui d'une bascule R S.

La table de fonctionnement de cette bascule est la suivante.

T	S	R	A	B	Q	$\overline{Q}$	Type de fonctionnement de la bascule
0	0	1	1	1	X	X	mémoire
0	0	0	1	1	X	X	//
0	1	1	1	0	X	X	//
0	1	0	1	1	X	X	//
1	0	1	1	1	0	1	Mise à 0
1	0	0	1	1	0	1	Mise à 0 mémoire
1	1	1	0	0	X	X	Etat interdit
1	1	0	0	1	1	0	Mise à 1

Scanné avec CamScanner

a) A l'aide de la figure ci-dessus, remplir la table de fonctionnement de la bascule RST.
b) Pour T = 0, puis pour T = 1, tester le fonctionnement de la bascule en notant les états correspondants aux différentes entrées. Vérifier sa table de vérité.
c) A quel niveau logique doit être maintenue l'entrée T pour que la sortie puisse changer d'état logique.
d) Quel est l'intérêt de l'introduction de la variable T par rapport au montage précédent. ?

3 - Bascule D.

Contrairement aux autres bascules, la bascule D possède une seule entrée de commande synchrone appelée D (pour donnée). C'est une variante de la R.S.T. dans laquelle on relie l'entée S à l'entrée R à l'aide d'un inverseur $S = \overline{R} = D$.

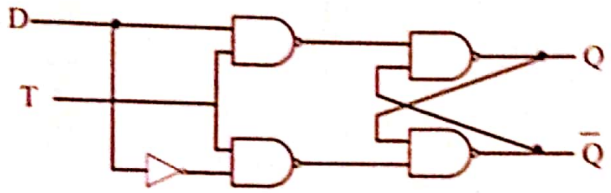


Figure 3

a) Etudier théoriquement le montage et remplir sa table de fonctionnement.
On constatera que le circuit est "transparent" (Q = D) Lorsque T = 1 et que cette valeur de D est mise en mémoire lorsque T passe à 0.

T	D	Q	$\overline{Q}$	Type de fonctionnement de la bascule
0	0			
0	1			
1	0			
1	1			

b) Réaliser le montage et vérifier son fonctionnement.
c) A laide du circuit integré de la maquette (figure 4) remplir la table de fonctionnement de la bascule D et vérifier son fonctionnement.

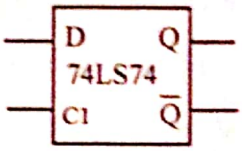


Figure 4

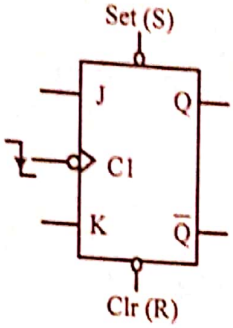
C1	D	Q	$\overline{Q}$
0	0		
0	1		
1	0		
1	1		

Scanné avec CamScanner

4 – Bascule J.K.

L'autre type de bascules qui sera étudiée dans cette manipulation est la bascule **J.K.**

a) En utilisant le circuit integré de la bascule JK (figure5), appliquer sur les entrées J et K de cette bascule les différentes valeurs du tableau ci-dessous et envoyer une impulsion d'horloge à l'aide du bouton poussoir. Pour les deux cas possibles avant l'impulsion d'horloge des valeurs de sorties $Q\overline{Q}$ (01 ou 10), donner les valeurs de ces sorties après l'impulsion d'horloge.



R S T interdit

Figure 5

Entrées avant impulsion H		Sorties avant impulsion H		Sorties après impulsion H		Type de fonctionnement
J=S	K=R	Q	$\overline{Q}$	Q	$\overline{Q}$	
0	1	0	1	0	1	Mise à 0
		1	0	0	1	
0	0	0	1	0	1	Mémoire
		1	0	1	0	
1	0	0	1	1	0	Mise à 1
		1	0	1	0	
1	1	0	1	1	0	Basculement
		1	0	0	1	

b) A quel type de front d'horloge cette bascule réagit ?

c) Quel est l'avantage de la bascule J.K par rapport à la bascule R.S.T et la bascule D ??

5) Entrées de forçage de la bascule JK.

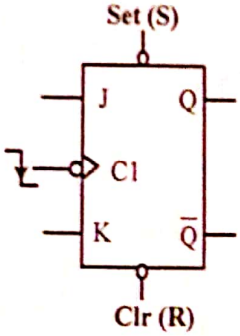


Figure 5

Scanné avec CamScanner

a) En utilisant le circuit intégré de la bascule JK (figure 5) et pour différentes valeurs des entrées asynchrones Set(S) et Clr(R) (11, 01,10, 00), remplir le tableau suivant :

Set	Clr	J	K	Q	$\overline{Q}$	Réponse de la bascule
1	1	0 0 1 1	1 0 0 1			fonctionnement JK
0	1	0 0 1 1	1 0 0 1			Mise à 1
1	0	0 0 1 1	1 0 0 1			Mise à 0
0	0	0 0 1 1	1 0 0 1			Interdit

b) Quel est le rôle de Set(S) et de Clr (R) ??

6) Utilisation de la bascule JK comme diviseur de fréquence.

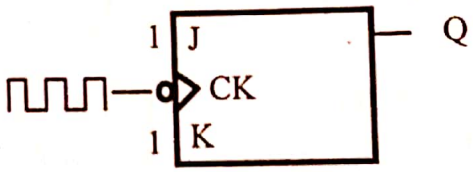
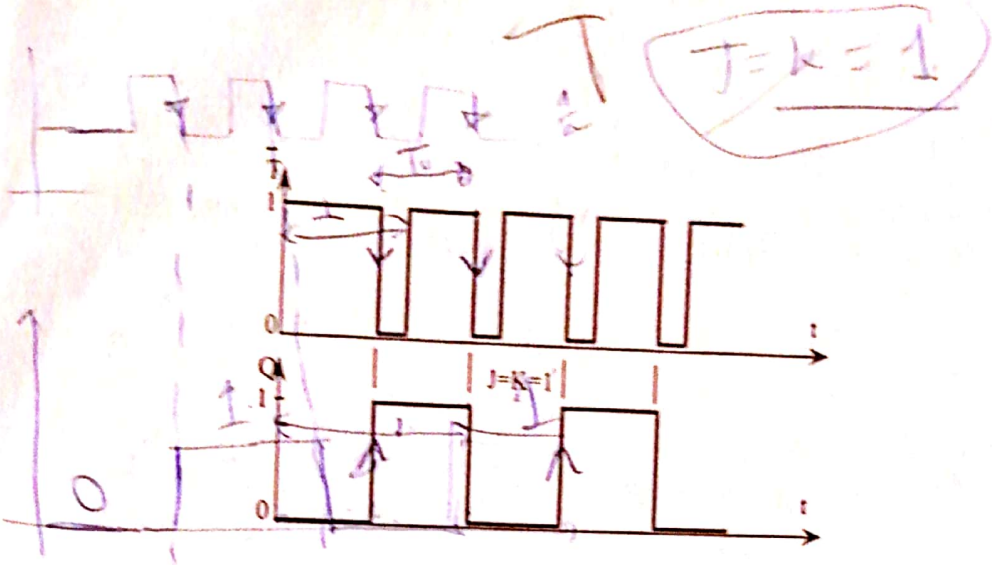


Figure 6

a) A l'aide de la maquette **M10**, appliquer un signal carré ou rectangulaire à l'entrée horloge CK d'une bascule JK de cette maquette. Visualiser sur l'oscilloscope ce signal et celui de la sortie Q.

b) Montrer que lorsque les entées J = K = 1, la bascule se comporte comme un diviseur de fréquence par 2.

Scanné avec CamScanner



c) Que se passe-t-il dans le cas où l'on utilise deux bascules connectées entre elles de façon asynchrone ? (Figure suivante). Généralisation pour n bascules.

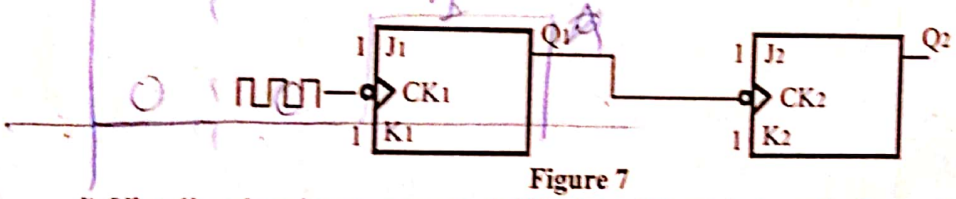


Figure 7

d) Visualiser les chronogrammes de l'horloge CK_1 et de la sortie Q_2 sur l'oscilloscope. De quel type de compteur s'agit-il ?

7) Réalisation d'un compteur binaire synchrone Modulo 7 à trois bits à l'aide des bascules JK avec affichage.

a) Vérification du fonctionnement de l'afficheur 7 segments.

Relier quatre entrées de la maquette aux entrées (8, 4, 2, 1) d'un afficheur. Ce dernier fait la conversion Binaire Hexadécimal.

En appliquant les 16 combinaisons des quatre bits d'entrées, vérifier le tableau suivant.

D	C	B	A	Equivalent hexadécimal
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	A
1	0	1	1	b
1	1	0	0	C
1	1	0	1	d
1	1	1	0	E
1	1	1	1	F

Scanné avec CamScanner